

Docket No.: 50195-414

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Saichirou KANEKO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 06, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

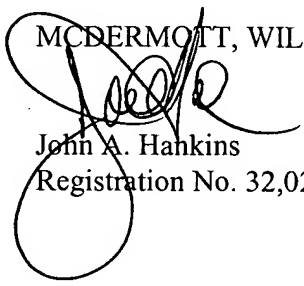
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. P2003-36364, filed February 14, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


John A. Hankins
Registration No. 32,029

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 JAH:mcw
Facsimile: (202) 756-8087
Date: February 6, 2004

50195-414
S. KANEKO et al
February 6, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 6 3 6 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 6 3 6 4]

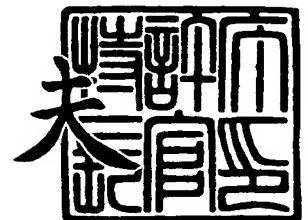
出 願 人 日 産 自 動 車 株 式 会 社
Applicant(s):



2 0 0 3 年 1 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 1 3 2 1

【書類名】 特許願

【整理番号】 NM02-02605

【提出日】 平成15年 2月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/73
H01L 21/328

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
 日産自動車株式会社内

 【氏名】 金子 佐一郎

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
 日産自動車株式会社内

 【氏名】 星 正勝

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
 日産自動車株式会社内

 【氏名】 村上 善則

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
 日産自動車株式会社内

 【氏名】 林 哲也

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
 日産自動車株式会社内

 【氏名】 田中 秀明

【特許出願人】

 【識別番号】 000003997

 【氏名又は名称】 日産自動車株式会社

【代理人】

【識別番号】 100075753

【弁理士】

【氏名又は名称】 和泉 良彦

【電話番号】 03-3214-0502

【選任した代理人】

【識別番号】 100081341

【弁理士】

【氏名又は名称】 小林 茂

【電話番号】 03-3214-0502

【手数料の表示】

【予納台帳番号】 084480

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0300404

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基体中に少なくとも、第 1 導電型のコレクタ領域と、該コレクタ領域上に形成される第 2 導電型のベース領域と、該ベース領域上に形成される第 1 導電型のエミッタ領域と、を有する半導体装置において、

前記ベース領域内に空乏層が形成されない時の、前記ベース領域内のフリーキャリア濃度が、前記ベース領域に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さいことを特徴とする半導体装置。

【請求項 2】

前記ベース領域内において、前記フリーキャリア濃度が前記空間電荷濃度よりも一桁以上小さいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

半導体基体中に少なくとも、第 1 導電型のコレクタ領域と、該コレクタ領域上に形成される第 2 導電型のベース領域と、該ベース領域上に形成される第 1 導電型のエミッタ領域と、該エミッタ領域下部の前記ベース領域内に形成される第 2 導電型のパンチスルーストップ領域と、を有する半導体装置において、

前記パンチスルーストップ領域内に空乏層が形成されない時の、前記パンチスルーストップ領域内のフリーキャリア濃度が、前記パンチスルーストップ領域に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さいことを特徴とする半導体装置。

【請求項 4】

前記ベース領域の空間電荷濃度は、前記パンチスルーストップ領域の空間電荷濃度よりも小さいことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記パンチスルーストップ領域内において、前記フリーキャリア濃度が前記パンチスルーストップ領域に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも一桁以上小さいことを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】

上記半導体基体として、炭化珪素半導体基体を用いることを特徴とする請求項 1 乃至 5 のいずれか記載の半導体装置。

【請求項 7】

前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第 2 導電型でかつ半導体基体のバンドギャップ端から所定深さの不純物準位を形成する第 1 の不純物を用いて、前記半導体基体中に前記ベース領域を形成する工程を、少なくとも含むことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 8】

前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第 2 導電型でかつ半導体基体のバンドギャップ端から所定深さの不純物準位を形成する第 1 の不純物と、該第 1 の不純物よりもバンドギャップ端から浅い深さの不純物準位を形成する第 2 導電型の第 2 の不純物との、少なくとも 2 つ以上の不純物を用いて、前記半導体基体中に前記ベース領域を形成する工程を、少なくとも含むことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 9】

前記ベース領域を、前記第 1 の不純物をドーパントとする半導体エピタキシャル成長によって形成することを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【請求項 1 0】

前記ベース領域を形成する工程と、

前記半導体基体上にマスク材を堆積する工程と、

前記ベース領域の一部が開口するように前記マスク材をパターニングする工程と少なくともを含み、

前記マスク材越しに前記ベース領域中に不純物を導入することで、前記第 1 導電型のエミッタ領域を形成する工程と、

マスク材を用いて、前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第 2 導電型でかつ半導体基体のバンドギャップ端から所

定深さの不純物準位を形成する第 1 の不純物を、前記ベース領域内に導入して、前記パンチスルーストップ領域を形成する工程とを順不同に少なくとも含むことを特徴とする請求項 3 乃至 5 のいずれか記載の半導体装置の製造方法。

【請求項 1 1】

前記ベース領域を、前記第 1 の不純物よりもバンドギャップ端から浅い深さの不純物準位を形成する第 2 導電型の第 2 の不純物を用いて形成することを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】

前記ベース領域を、半導体エピタキシャル成長によって形成することを特徴とする請求項 1 0 または 1 1 記載の半導体装置の製造方法。

【請求項 1 3】

上記半導体基体として、炭化珪素半導体基体を用いることを特徴とする請求項 7 乃至 1 2 のいずれか記載の半導体装置の製造方法。

【請求項 1 4】

前記第 1 の不純物とは、炭化珪素半導体中に、バンドギャップ端から 250meV よりも離れた位置に不純物準位を形成する不純物であることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】

前記第 2 の不純物とは、炭化珪素半導体中に、バンドギャップ端から 250meV よりも近い位置に不純物準位を形成する不純物であることを特徴とする請求項 1 3 または 1 4 記載の半導体装置の製造方法。

【請求項 1 6】

前記第 1 の不純物として、ほう素を用いることを特徴とする請求項 1 3 乃至 1 5 のいずれか記載の半導体装置の製造方法。

【請求項 1 7】

前記第 2 の不純物として、アルミニウムを用いることを特徴とする請求項 1 3 乃至 1 6 のいずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】**【従来の技術】**

【非特許文献】 「Yi Tang, Jeffery B. Fedison and T. Paul Chow, Materials Science Forum Vols. 389-393 (2002) pp. 1329-1332」。

【0003】

近年、炭化珪素 (SiC) の熱的、化学的に非常に安定な性質を利用した半導体素子の研究が盛んに行われている。炭化珪素はシリコンに比べエネルギーギャップ E_g が大きく、例えば 4H タイプの結晶では $E_g = 3.3\text{eV}$ であることから、電気的な耐圧特性に優れ、電力制御用素子等のパワーデバイスへの応用が期待されている。

【0004】

SiC バイポーラトランジスタの一例においては、高濃度 N^+ 型 SiC 基板上に、 N^- 型エピタキシャル領域、P 型ベース領域、 P^+ 型コンタクト領域が順にエピタキシャル成長により積層されている。最上層の P^+ 型コンタクト領域は部分的に除去され、その下層の P 型ベース領域の一部が露出されている。露出された P 型ベース領域の表層には N^+ 型エミッタ領域が配置されている。 N^+ 型エミッタ領域と P^+ 型コンタクト領域の表面には、表面や接合表面の保護、安定化の作用をする層間膜が設けられ、該層間膜に開口したコンタクトホールを介してそれぞれエミッタ電極とベース電極が設けられている。また、SiC 基板の裏面にはコレクタ電極が形成されている。

【0005】

この高耐圧、大電流用の縦型バイポーラトランジスタの動作としては、ベース電極からエミッタ電極へ少ないベース電流を流すことにより、コレクタ電極からエミッタ電極へ大きなコレクタ電流を流すことができるというもので、特に高比抵抗の N^- 型エピタキシャル領域に多量のキャリアが注入され、伝導度変調が起きて、素子のオン抵抗を小さくできる特長がある。一方でベース電極に電圧を入力しなければベース電流は流れず、コレクタ電極とエミッタ電極との間は電氣的

に絶縁され、スイッチング機能を示すことになる。

【0006】

【発明が解決しようとする課題】

しかしながら、上記の一例のSiC高耐压バイポーラトランジスタには以下の課題がある。

コレクタ電極に加えた逆電圧のためにP型ベース領域内に空乏層が拡がってN⁺型エミッタ領域に達する現象をパンチスルーというが、高耐压を得るためにはパンチスルーを起こしてはならない。そのためにはP型ベース領域内に形成される空乏層中の空間電荷濃度を大きくして、空乏層を拡げないようにする必要がある。しかし、空間電荷濃度を大きくしようとすると、P型ベース領域内のフリーキャリア濃度も大きくなるため、エミッタ注入効率が下がって電流増幅率hFEが小さくなる。その結果、コレクタ電流の制御に大きなベース電流が必要になる。

即ち、素子の耐压と電流増幅率hFEがトレードオフの関係にあるという問題があった。

【0007】

本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、高い電流増幅率hFEを有する高耐压半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記課題を解決するため、本発明は、半導体基体中に第1導電型コレクタ領域と、該コレクタ領域上に形成される第2導電型ベース領域と、該ベース領域上に形成される第1導電型エミッタ領域とを有し、ベース領域内に空乏層が形成されない時の、ベース領域内のフリーキャリア濃度が、ベース領域に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さいという構成になっている。

【0009】

【発明の効果】

本発明によれば、高い電流増幅率hFEを有する高耐压半導体装置を提供することができる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態を図面に従って説明する。なお、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。なお、下記実施の形態で用いられる炭化珪素（SiC）のポリタイプは4Hが代表的であるが、6H、3C等その他のポリタイプでも構わない。

また、本発明の実施の形態を、半導体基体として炭化珪素半導体（実施の形態1から5）、またはシリコン半導体（実施の形態6）を用いて説明するが、本発明は他にも例えばGaAs、Ge、ダイヤモンド、GaN等すべての半導体に適用可能である。

また、下記実施の形態では、すべてコレクタ電極を半導体基板裏面に形成し、エミッタ電極を基板表面に配置して電流を素子内部に縦方向に流す構造の炭化珪素半導体装置で説明するが、例えばコレクタ電極をエミッタ電極と同じく基板表面に配置して、電流を横方向に流す構造でもよい。

また、下記実施の形態においては、例えばコレクタ領域20がN型、ベース領域30がP型となるような構成で説明したが、N型、P型の組み合わせはこの限りではなく、例えばコレクタ領域20がP型となるような構成にしてもよい。

さらに、本発明の主旨を逸脱しない範囲での変形を含むことは言うまでもない。

【0011】**実施の形態1**

図1は本発明による半導体装置の実施の形態1の断面構造を示している。

本実施の形態1は、B（ほう素）を用いてP型ベース領域を形成したSiC高耐圧バイポーラトランジスタに適用した第1の例を示す。

コレクタ領域となるN⁻型エピタキシャル領域20がN⁺型SiC基板10上に積層されている。そして、エピタキシャル領域20の表層の所定領域にはP型ベース領域30が形成されている。

P型ベース領域30は、炭化珪素半導体中に深い準位を形成するB（ほう素）を用いて形成されており、室温におけるフリーキャリア濃度は、P型ベース領域30に形成される空乏層中の空間電荷濃度より約二桁小さいという特徴を有している。

B (ほう素) は、文献「O. Takemura, T. Kimoto, H. Matsunami, T. Nakata, M. Watanabe and M. Inoue, Materials Science Forum Vols. 264-268 (1998) pp. 701-704」によれば、炭化珪素半導体基体中にバレンスバンド端から約0.3eVの位置に不純物準位を形成することがわかっている。

なお、P型ベース領域30に伸びる空乏層中の空間電荷濃度は、エピタキシャル領域20に伸びる空乏層中の空間電荷濃度よりも、約一桁から二桁以上も大きくなるように設計されている。

P型ベース領域30の表層の所定領域には、N⁺型エミッタ領域40とP⁺型ベースコンタクト領域50が形成され、N⁺型エミッタ領域40はエミッタ電極70に接続されている。また、P⁺型ベースコンタクト領域50はベース電極80に接続され、N⁺型SiC基板10の裏面にはコレクタ電極90が形成されている。なお、60は層間絶縁膜であり、表面や接合表面の保護、安定化の作用をする。

【0012】

このように、本実施の形態1では、半導体基体中に少なくとも、N⁻型エピタキシャル領域20から構成されるコレクタ領域と、該コレクタ領域上に形成されるP型ベース領域30と、該P型ベース領域30上に形成されるN⁺型エミッタ領域40とを有し、P型ベース領域30内に空乏層が形成されない時の、P型ベース領域30内のフリーキャリア濃度が、P型ベース領域30に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さいという構成になっている。なお、本実施の形態1のN型が特許請求の範囲の第1導電型に、P型が第2導電型に相当する。また、図1のN⁺型SiC基板10およびN⁻型エピタキシャル領域20が半導体基体に、N⁻型エピタキシャル領域20がコレクタ領域に相当する。

このような構成により、従来の半導体装置で問題となっていた、素子の耐圧と電流増幅率hFEのトレードオフを解決できる。つまり、高い電流増幅率hFEを得るためには、フリーキャリア濃度が小さい方がよく、また、パンチスルーによる素子耐圧の劣化を起こさないためには、空乏層中の空間電荷濃度は大きい方がよい。本半導体装置では、従来の半導体装置の構成とは大きく異なり、ベース領域内でフリーキャリア濃度と空間電荷濃度に差があり、しかもフリーキャリア濃度の方が空間電荷濃度よりも小さいという特徴を有する。その結果、本実施の形態1

によれば、電流増幅率 hFE が大きくかつパンチスルーの起こらない低抵抗/高耐圧の高速スイッチング素子を実現できる。

【0013】

また、P型ベース領域30内において、フリーキャリア濃度が空間電荷濃度よりも一桁以上小さくなっている。これにより、素子耐圧と電流増幅率 hFE のトレードオフを改善した炭化珪素半導体装置が一般的な製造プロセスで容易に実現できる。

【0014】

さらに、半導体基体として炭化珪素半導体を用いることで、シリコン半導体に比べ、高耐圧性、高キャリア移動度、高飽和ドリフト速度を容易に確保することができる。このため、高速スイッチング素子や大電力用素子に用いることができる。

【0015】

次に、本実施の形態1における炭化珪素半導体装置の製造方法の一例を、図2(a)～(e)の断面図を用いて説明する。

まず、図2(a)の工程においては、 N^+ 型SiC基板10の上にコレクタ領域となる例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ の N^- 型SiCエピタキシャル領域20が形成されている。

【0016】

図2(b)の工程においては、マスク材120を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温でほう素イオン130を $10 \text{ keV} \sim 3 \text{ MeV}$ の加速電圧で多段注入し、P型ベース領域30を形成する。総ドーズ量は例えば $10^{12} \sim 10^{16} \text{ cm}^{-2}$ である。

【0017】

図2(c)の工程においては、マスク材121を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温で燐イオン131を $10 \text{ keV} \sim 1 \text{ MeV}$ の加速電圧で多段注入し、 N^+ 型エミッタ領域40を形成する。総ドーズ量は例えば $10^{14} \sim 10^{16} \text{ cm}^{-2}$ である。もちろんN型不純物としては燐の他に窒素、砒素などを用いてもよい。

【0018】

図2(d)の工程においては、マスク材122を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温で

アルミニウムイオン 132 を $10\text{ keV}\sim 1\text{ MeV}$ の加速電圧で多段注入し、 P^+ 型ベースコンタクト領域 50 を形成する。総ドーズ量は例えば $10^{14}\sim 10^{16}\text{ cm}^{-2}$ である。

なお、 P^+ 型ベースコンタクト領域 50 を形成する不純物としては、炭化珪素半導体中に浅い準位を形成する P 型不純物が望ましく、本実施の形態 1 ではアルミニウムを用いた。アルミニウムは、文献「O. Takemura, T. Kimoto, H. Matsunami, T. Nakata, M. Watanabe and M. Inoue, Materials Science Forum Vols. 264-268 (1998) pp. 701-704」によれば、炭化珪素半導体基体中にバレンスバンド端から約 0.2 eV の位置に不純物準位を形成することがわかっている。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えば N^+ 型エミッタ領域 40 を形成するための燐イオン注入を最初に行っても構わない。

【0019】

図 $2(e)$ の工程においては、例えば $1000\sim 1800^\circ\text{C}$ での熱処理を行い、イオン注入した不純物を炭化珪素半導体中の格子位置に置換させる。

その後は特に図示しないが、層間膜 60 として CVD 酸化膜を堆積し、 N^+ 型エミッタ領域 40 及び P^+ 型ベースコンタクト領域 50 上にコンタクトホールを開孔して、それぞれエミッタ電極 70 、ベース電極 80 を形成する。また、 N^+ 基板 10 の裏面にコレクタ電極 90 として金属膜を蒸着し、例えば $600\sim 1400^\circ\text{C}$ で熱処理してオーミック電極として、図 1 に示す実施の形態 1 の炭化珪素半導体装置が完成する。

【0020】

本実施の形態 1 の炭化珪素半導体装置は、エミッタ電極 70 を接地し、コレクタ電極 90 に正の電圧 V_c を印加して使用する。

ベース電極 80 に電圧が印加されない時には、素子の特性は P 型ベース領域 30 と N -型 SiC エピタキシャル領域 20 との PN ダイオードの逆方向バイアス特性となる。

この時エピタキシャル領域 20 側にはコレクタ電圧 V_c に応じて空乏層が伸びるが、 P 型ベース領域 30 側にはほとんど空乏層が伸びない。それは、前述したように P 型ベース領域 30 に伸びる空乏層中の空間電荷濃度が、エピタキシャル領域 20 に伸

びる空乏層中の空間電荷濃度よりも、約一桁から二桁以上も大きくなるように設計されているためである。P型ベース領域30に伸びる空乏層については後でさらに詳しく説明する。

それゆえ、P型ベース領域30内に伸びる空乏層がN⁺エミッタ領域40に達する、所謂パンチスルー現象が先に起こるということではなく、コレクタ電圧V_cが降伏電圧V_bになって初めてコレクタ電極90からエミッタ電極70へと急激に電流が流れ始める。

一方で、コレクタ-エミッタ間に電圧を印加した状態でベース電極80に正電圧を印加すると、ベース電極80からP型ベース領域30へと正孔が注入される（ベース電流が流れ始める）。それと同時に、N⁺型エミッタ領域40からP型ベース領域30へと電子が大量に移動してくる。

ここで、P型ベース領域30内のフリーキャリア濃度が大きいと、P型ベース領域30からエミッタ領域40に過剰正孔が注入されるため、エミッタ注入効率が小さくなる。さらにP型ベース領域30内のフリーキャリア濃度が大きいと、多くの電子がP型ベース領域30中で正孔と結びつき、エピタキシャル領域20まで達する電子が少なくなる。

ところが、本半導体装置では、前述したようにP型ベース領域30がB（ほう素）を用いて形成されており、室温におけるフリーキャリア濃度は、P型ベース領域30に形成される空乏層中の空間電荷濃度より約二桁小さいという特徴を有している。このため、P型ベース領域30に形成される空乏層中の空間電荷濃度をパンチスルーが起こらないように大きくしても、そのフリーキャリア濃度は室温で空乏層中の空間電荷濃度よりも約二桁も小さいのである。

その結果、P型ベース領域30からエミッタ領域40へと注入される正孔は少なく、エミッタ注入効率が大きくなり、また、P型ベース領域30へと移動した電子はほとんどがN⁻型エピタキシャル領域20に達する。

その後、これらの電子は、コレクタ電圧による電界でエピタキシャル領域20に吸収され、コレクタ電極90を経てコレクタ電流となる。

このように、本発明による炭化珪素半導体装置は、コレクタ電圧V_cを降伏電圧V_b以下に保ち、この状態にてベース電極80に印加する電圧を変えることにより、

コレクタ電極90とエミッタ電極70との間の電流制御を行うものであり、炭化珪素半導体中に深い準位を形成するB（ほう素）を用いてP型ベース領域30を形成し、素子耐圧と電流増幅率 hFE のトレードオフを改善した、低抵抗/高耐圧の高速スイッチング素子を簡素な構成で提供できるものである。

この実施の形態1の炭化珪素半導体装置を我々が試作した結果、電流増幅率 hFE は最大で約450と非常に大きな値であった。また、素子耐圧も約450Vが得られた。

【0021】

上記のように、本実施の形態1の製造方法は、前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第2導電型、ここではp型でかつ半導体基体のバンドギャップ端から所定深さの不純物準位を形成する第1の不純物を用いて、半導体基体中にP型ベース領域30を形成する工程を少なくとも含む。この構成により、第1の不純物を用いてP型ベース領域30を形成できるから、電流増幅率 hFE が高くかつパンチスルーの起こらない低抵抗/高耐圧の高速スイッチング素子を、一般的な製造プロセスで実現できる。

【0022】

特に、第1の不純物を用いて形成したP型ベース領域30では、フリーキャリア濃度が、P型ベース領域30の空乏層中の空間電荷よりも小さくなることが実験でわかっている。第1の不純物として、高温（例えば300℃）でもキャリアを放出しないほど深い準位を形成する不純物を用いると、その温度でもエミッタ注入効率が大きいから、高い電流増幅率 hFE を維持することが可能である。

【0023】

また、半導体基体として炭化珪素半導体を用いることで、シリコン半導体に比べ、高耐圧性、高キャリア移動度、高飽和ドリフト速度を容易に確保することができる。このため、高速スイッチング素子や大電力用素子に用いることができる。

【0024】

また、前記第1の不純物とは、炭化珪素半導体中に、バンドギャップ端から250meVよりも離れた位置に不純物準位を形成する不純物である。そのような条件で

は、空間電荷濃度に対して室温でのフリーキャリア濃度が確実に1/10以下となる
ことが計算でわかっている。そのため、この条件を用いると、素子の耐圧と電流
増幅率 hFE のトレードオフを改善した炭化珪素半導体装置の製造設計が容易とな
る。

【0025】

また、第1の不純物として、一般的な半導体不純物であるB（ほう素）を用いる
ことができるため、製造工程が容易である。また、実際に第1の不純物としてB（
ほう素）を用いると、フリーキャリア濃度を空間電荷濃度よりも約二桁小さくで
き、炭化珪素半導体装置の素子耐圧と電流増幅率 hFE のトレードオフ改善に非常
に有効であることが実験でわかっている。

【0026】

ここで本実施の形態1における素子耐圧と電流増幅率 hFE のトレードオフの改善
について、さらに詳しく説明する。

まず、深い準位を形成する不純物準位を用いて形成した不純物領域における、
空乏層中の空間電荷濃度とフリーキャリア濃度について詳しく説明する。

今、P型ベース領域30に形成される空乏層中の空間電荷濃度を N_A とすると、P型
ベース領域30中の室温におけるフリーキャリア濃度 N_A^- は以下の式（1）で求め
られる。

【0027】

$$N_A^- = N_A [1 + g \cdot \exp \{q(E_A - E_{Fp})/kT\}]^{-1} \quad \dots(1)$$

ここで E_{Fp} はP型ベース領域30中のフェルミ準位、 E_A は不純物準位を表し、 g は
degeneracy factor でP型では“=4”とした。 k はボルツマン定数、 T は絶対温
度である。

本炭化珪素半導体装置では、炭化珪素半導体基体中に深い準位（バレンスバン
ド端から約0.3eVの位置）を形成するB（ほう素）を用いてP型ベース領域30を形
成した。このようなP型ベース領域30では、例えば空乏層中の空間電荷濃度 N_A が $5 \times 10^{17} \text{ cm}^{-3}$ の時、（1）式より 室温でのフリーキャリア濃度 N_A^- は $6 \times 10^{15} \text{ cm}^{-3}$ となり、フリーキャリア濃度 N_A^- は空間電荷濃度 N_A よりも約二桁も小さくなる。

また、我々が実際に実験を行った結果でも、炭化珪素半導体中にB（ほう素）で形成したP型領域の、空乏層中の空間電荷濃度が約 $5 \times 10^{17} \text{ cm}^{-3}$ の時、Hall効果測定でフリーキャリア濃度を求めると、約 $2 \times 10^{15} \text{ cm}^{-3}$ であった。

このように、深い不純物準位を形成する不純物を用いて不純物領域を形成すると、領域内のフリーキャリア濃度は空乏層中の空間電荷濃度よりもずっと小さくなり、特に炭化珪素半導体においてB（ほう素）を用いて不純物領域を形成すると、フリーキャリア濃度を空間電荷濃度よりも約二桁小さくできることが計算と実験から明らかである。そして、本半導体装置は、この現象を応用することで、半導体装置における素子耐圧と電流増幅率 hFE のトレードオフを改善するものである。

【0028】

次に本半導体装置が、パンチスルーの起こらない高耐圧素子であることについて説明する。例えばP型ベース領域30に伸びる空乏層中の空間電荷濃度を、 $NA = 5 \times 10^{17} \text{ cm}^{-3}$ とする。そして、例えばエピタキシャル領域20の空乏層中の空間電荷濃度 ND を、 NA よりも約二桁小さい $5 \times 10^{15} \text{ cm}^{-3}$ であるとする。

【0029】

この時、エピタキシャル領域20とP型ベース領域30の接合に電界を印加し、エピタキシャル領域20側に伸張する空乏層幅を WD 、P型ベース領域30側に伸張する空乏層幅を WA とすると、 ND 、 NA 、 WD 、 WA には次式（2）に示すような関係があるから、

$$NA/ND = WD/WA \quad \dots (2)$$

WA は WD の1/100となり、およそエピタキシャル領域20側に伸張する空乏層幅の1/100しか、P型ベース領域30側には空乏層が伸張しないことがわかる。その結果、本実施の形態1では、P型ベース領域30に伸張する空乏層がエミッタ領域40に達するパンチスルーが起こることなく、素子の耐圧はP型ベース領域30とN⁻型エピタキシャル領域20とのPNダイオードの逆方向特性で決まるから、素子耐圧が高い。

【0030】

最後に、本半導体装置がこのようなパンチスルーの起こらない高耐圧素子であ

りながら、高い電流増幅率 hFE を実現できることについて説明する。

本実施の形態1のようなバイポーラトランジスタにおいて、高い電流増幅率 hFE を得るためには、P型ベース領域30のフリーキャリア濃度をなるべく小さくすることが必要である。なぜなら、フリーキャリア濃度が小さければ、エミッタ注入効率が大きくなり、また、P型ベース領域での電子の再結合が起こりにくくなるからである。

本実施の形態では、P型ベース領域30に形成される空乏層中の空間電荷濃度 N_A をパンチスルーが起こらないように $5 \times 10^{17} \text{ cm}^{-3}$ と大きくしても、そのフリーキャリア濃度 N_A^- は(1)式より室温で $6 \times 10^{15} \text{ cm}^{-3}$ と求められ、約二桁も小さいのである。そのため、本炭化珪素半導体装置は、エミッタ注入効率が大きく、またP型ベース領域での電子の再結合が起こりにくいから、高い電流増幅率 hFE が得られる。実際、我々が実験結果で示したように、例えば電流増幅率 hFE は最大で約450と非常に大きな値を得ることができた。

また、我々が試作した炭化珪素バイポーラトランジスタの電流増幅率 hFE の温度特性を測定したところ、室温で $hFE=450$ が、例えば 50°C で $hFE=140$ 、 100°C で $hFE=40$ というように、温度が上昇すると hFE が小さくなる傾向を示した。これは温度が上昇することでフリーキャリア濃度が大きくなり、エミッタ注入効率が小さくなるとともにP型ベース領域での電子の再結合が増えるためである。そしてこのことは、本実施の形態におけるバイポーラトランジスタが熱的に安定であるという特長を示している。

【0031】

次に、P型ベース領域30のフリーキャリア濃度が、P型ベース領域30の空乏層中の空間電荷濃度よりも一桁以上小さいと、素子耐圧と電流増幅率 hFE のトレードオフを改善した炭化珪素半導体装置が、一般的な製造プロセスで容易に実現できることについて説明する。

本実施の形態1のような構造の半導体装置では、プロセス上の制約から、ベース長（ここではエピタキシャル領域20とP型ベース領域30の接合界面からエミッタ領域40までのP型ベース領域内の距離）は通常 $1 \mu\text{m}$ 程度に設計される。これより小さく作製しようとする、例えば拡散やイオン注入、エピタキシャル成長に

において高度なプロセス制御が必要となる。

また、エピタキシャル領域20の空乏層中の空間電荷濃度NDは、電流増幅率hFEや伝導度変調を考慮し、通常 $1 \times 10^{15} \text{ cm}^{-3}$ オーダーで設計される。

高耐圧素子を作製するためには、P型ベース領域30とエピタキシャル領域20の接合に電界が印加されたとき、パンチスルーが起こるまでにエピタキシャル領域20に例えば $W_D = 10 \mu\text{m}$ と、十分に空乏層を伸張しなくてはならない。そのためには、式(2)に $W_A = 1 \mu\text{m}$ を入れて、例えばP型ベース領域30内の空乏層中の空間電荷濃度NAが、エピタキシャル領域20の空乏層中の空間電荷濃度NDよりも一桁大きい $1 \times 10^{16} \text{ cm}^{-3}$ オーダーである必要がある。

一方、大きいエミッタ注入効率を得るためには、P型ベース領域30のフリーキャリア濃度NAは、P型ベース領域30内の空乏層中の空間電荷濃度NAよりも約一桁小さい $1 \times 10^{15} \text{ cm}^{-3}$ オーダーであることが求められる。

ということは逆に、フリーキャリア濃度が空間電荷濃度よりも一桁以上小さくなるような条件であれば、例えばベース長 $1 \mu\text{m}$ でエピタキシャル領域20に空乏層を $10 \mu\text{m}$ 伸張でき、かつエミッタ注入効率の大きな高い電流増幅率hFEを有する炭化珪素半導体装置を作製できるのである。

【0032】

そして、式(1)より、炭化珪素半導体中で不純物準位がバンドギャップ端から250meVよりも離れた位置に形成されると、空乏層中の空間電荷濃度に対して室温でのフリーキャリア濃度を一桁以上小さくできる。

なお、本実施の形態1では用いなかったが、炭化珪素半導体中で不純物準位がバンドギャップ端から250meVよりも離れた位置に形成される不純物としては、B(ほう素)の他にGa(ガリウム)、In(インジウム)、Tl(タリウム)等を用いることもできる。

また、図1の実施の形態1では、P型ベース領域30の表層にN⁺型エミッタ領域40とP⁺型ベースコンタクト領域50を形成する高耐圧用のバイポーラトランジスタの例を示したが、P型ベース領域30に対してベース電極80が直にオーミック電極となる場合には、P⁺型ベースコンタクト領域50は無くともよい。

【0033】

実施の形態2

図3は本発明による炭化珪素半導体装置の実施の形態2の断面構造を示している。

本実施の形態2は、B（ほう素）を用いてP型ベース領域を形成したSiC高耐压バイポーラトランジスタに適用した第2の例を示す。

コレクタ領域となるN⁻型エピタキシャル領域20がN⁺型SiC基板10上に積層されている。そして、エピタキシャル領域20上にはP型ベース領域31がエピタキシャル成長により形成されている。

P型ベース領域31の表層の所定領域には、N⁺型エミッタ領域40とP⁺型ベースコンタクト領域50が形成され、N⁺型エミッタ領域40はエミッタ電極70に接続されている。また、P⁺型ベースコンタクト領域50はベース電極80に接続され、N⁺型SiC基板10の裏面にはコレクタ電極90が形成されている。なお、60は層間絶縁膜であり、表面や接合表面の保護、安定化の作用をする。

【0034】

図1に示した実施の形態1と本実施の形態2との相違は、P型ベース領域31を所望の不純物をイオン注入して形成するのではなく、所望の不純物をドーパントとするエピタキシャル成長によって形成している点である。そのため、P型ベース領域31、およびP型ベース領域31とエピタキシャル領域20との接合界面に存在する結晶欠陥が極めて少ないから、本実施の形態2では、実施の形態1記載の効果に加え、素子耐圧及び電流増幅率hFEがより向上するという効果が得られる。

【0035】

次に、本実施の形態2における炭化珪素半導体装置の製造方法の一例を、図4(a)～(e)の断面図を用いて説明する。

まず、図4(a)の工程においては、N⁺型SiC基板10の上にコレクタ領域となる例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ のN⁻型SiCエピタキシャル領域20が形成されている。

【0036】

図4(b)の工程においては、N⁻型SiCエピタキシャル領域20の上に例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $0.1 \sim 10 \mu\text{m}$ のP型ベース領域31

をエピタキシャル成長により形成する。この時、原料ガスとしては例えば SiH_4 と C_3H_8 を、成長中のドーピングガスとしては例えば B_2H_6 を用いればよい。

なお、炭化珪素半導体中に深い準位を形成する不純物としては、B（ほう素）の他にGa（ガリウム）、In（インジウム）、Tl（タリウム）等を用いることもできるから、これらをエピタキシャル成長層に導入できるようなドーピングガスを用いてエピタキシャル成長を行ってもよい。

【0037】

図4(c)の工程においては、マスク材121を用いて、例えば100～1000℃の高温で燐イオン131を10 keV～1 MeVの加速電圧で多段注入し、 N^+ 型エミッタ領域40を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。もちろん、 N 型不純物としては燐の他に窒素、砒素などを用いてもよい。

【0038】

図4(d)の工程においては、マスク材122を用いて、例えば100～1000℃の高温でアルミニウムイオン132を10 keV～1 MeVの加速電圧で多段注入し、 P^+ 型ベースコンタクト領域50を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、 P^+ 型ベースコンタクト領域50を形成する不純物としては、炭化珪素半導体中に浅い準位を形成する P 型不純物が望ましく、本実施の形態2ではアルミニウムを用いた。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えば P^+ 型ベースコンタクト領域50を形成するためのアルミニウムイオン注入を最初に行っても構わない。

【0039】

図4(e)の工程においては、例えば1000～1800℃での熱処理を行い、イオン注入した不純物を炭化珪素半導体中の格子位置に置換させる。

その後は特に図示しないが、層間膜60としてCVD酸化膜を堆積し、 N^+ 型エミッタ領域40及び P^+ 型ベースコンタクト領域50上にコンタクトホールを開孔して、それぞれエミッタ電極70、ベース電極80を形成する。また、 N^+ 基板10の裏面にコレクタ電極90として金属膜を蒸着し、例えば600～1400℃で熱処理してオーミ

ック電極として、図3に示す実施の形態2の炭化珪素半導体装置が完成する。

【0040】

上記のように、本実施の形態2の製造方法では、P型ベース領域31を、例えばB（ほう素）をドーパントとする半導体エピタキシャル成長によって形成する。従って、ベース領域とコレクタ領域の接合界面を半導体エピタキシャル成長により形成できるから、ベース領域、およびベース領域とコレクタ領域との接合界面に存在する結晶欠陥が極めて少なくできる。このため、半導体装置に対し、電流増幅率 hFE と素子耐圧をより向上させることができる。

【0041】

実施の形態3

図5は本発明による炭化珪素半導体装置の実施の形態3の断面構造を示している。

。

本実施の形態3は、B（ほう素）とAl（アルミニウム）を用いてP型ベース領域を形成したSiC高耐圧バイポーラトランジスタに適用した例を示す。

コレクタ領域となるN⁻型エピタキシャル領域20がN⁺型SiC基板10上に積層されている。そして、エピタキシャル領域20上にはP型ベース領域32がエピタキシャル成長により形成されている。

このP型ベース領域32は、深い準位を形成する不純物（本例ではほう素）を用いてエピタキシャル成長で形成したP型ベース領域32の全域に、浅い準位を形成する不純物（本例ではアルミニウム）をイオン注入で導入している。

【0042】

P型ベース領域32の表層の所定領域には、N⁺型エミッタ領域40とP⁺型ベースコンタクト領域50が形成され、N⁺型エミッタ領域40はエミッタ電極70に接続されている。また、P⁺型ベースコンタクト領域50はベース電極80に接続され、N⁺型SiC基板10の裏面にはコレクタ電極90が形成されている。なお、60は層間絶縁膜であり、表面や接合表面の保護、安定化の作用をする。

【0043】

図3に示した実施の形態2と本実施の形態3との相違は、深い準位を形成する不純物（本例ではほう素）を用いてエピタキシャル成長で形成したP型ベース領域3

2の全域に、浅い準位を形成する不純物（本例ではアルミニウム）をイオン注入で導入している点である。

実施の形態2では、用いた不純物が形成する不純物準位の深さによって、P型ベース領域31におけるフリーキャリア濃度と、P型ベース領域31における空乏層中の空間電荷濃度の設計が制限される。つまり空間電荷濃度が決まるとフリーキャリア濃度も決まってしまう。

しかし、本例のように、深い準位を形成する不純物と、浅い準位を形成する不純物の、少なくとも2つの不純物を用いてP型ベース領域32を形成することで、深い不純物準位を形成する不純物を用いてP型ベース領域32の空乏層中の空間電荷濃度を設計し、また、浅い不純物準位を形成する不純物を用いてフリーキャリア濃度を設計することが可能である。つまり、空間電荷濃度とフリーキャリア濃度を別々に設計できる。このため、実施の形態2に比べて素子耐圧と電流増幅率のトレードオフをより改善することができる。

また、特に深い不純物準位を形成する不純物として、高温（例えば300℃）でもキャリアを放出しないほど深い準位、例えばバレンスバンド端から0.7eV、を形成する不純物を用いると、その温度でもエミッタ注入効率が大きいから、高い電流増幅率 hFE を維持することができる。

【0044】

次に、本実施の形態3における炭化珪素半導体装置の製造方法の一例を、図6(a)～(f)の断面図を用いて説明する。

まず、図6(a)の工程においては、 N^+ 型SiC基板10の上にコレクタ領域となる例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ の N^- 型SiCエピタキシャル領域20が形成されている。

【0045】

図6(b)の工程においては、 N^- 型SiCエピタキシャル領域20の上に例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $0.1 \sim 10 \mu\text{m}$ のP型ベース領域32をエピタキシャル成長により形成する。この時、原料ガスとしては例えば SiH_4 と C_3H_8 を、成長中のドーピングガスとしては例えば B_2H_6 を用いればよい。

なお、炭化珪素半導体中に深い準位を形成する不純物としては、B（ほう素）

の他にGa（ガリウム）、In（インジウム）、Tl（タリウム）等を用いることもできるから、これらをエピタキシャル成長層に導入できるようなドーピングガスを用いてエピタキシャル成長を行ってもよい。

【0 0 4 6】

図6(c)の工程においては、エピタキシャル成長により形成したP型ベース領域32中に、例えば100～1000℃の高温でアルミニウムイオン133を10 k eV～3MeVの加速電圧で多段注入する。総ドーズ量は例えば $1 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$ である。

【0 0 4 7】

図6(d)の工程においては、マスク材121を用いて、例えば100～1000℃の高温で燐イオン131を10 k eV～1MeVの加速電圧で多段注入し、N⁺型エミッタ領域40を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。もちろんN型不純物としては燐の他に窒素、砒素などを用いてもよい。

【0 0 4 8】

図6(e)の工程においては、マスク材122を用いて、例えば100～1000℃の高温でアルミニウムイオン132を10 k eV～1MeVの加速電圧で多段注入し、P⁺型ベースコンタクト領域50を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、P⁺型ベースコンタクト領域50を形成する不純物としては、炭化珪素半導体中に浅い準位を形成するP型不純物が望ましく、本実施の形態3ではアルミニウムを用いた。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えばP⁺型ベースコンタクト領域50を形成するためのアルミニウムイオン注入を最初に行っても構わない。

【0 0 4 9】

図6(f)の工程においては、例えば1000～1800℃での熱処理を行い、イオン注入した不純物を炭化珪素半導体中の格子位置に置換させる。

その後は特に図示しないが、層間膜60としてCVD酸化膜を堆積し、N⁺型エミッタ領域40及びP⁺型ベースコンタクト領域50上にコンタクトホールを開孔して、

それぞれエミッタ電極70、ベース電極80を形成する。また、N⁺基板10の裏面にコレクタ電極90として金属膜を蒸着し、例えば600～1400℃で熱処理してオーミック電極として、図5に示す実施の形態3の炭化珪素半導体装置が完成する。

なお、本実施の形態3では、P型ベース領域32を、深い準位の不純物を用いてエピタキシャル成長により形成し、そのP型ベース領域32中に浅い準位の不純物をイオン注入する例で説明したが、深い準位の不純物および浅い準位の不純物を両方ともイオン注入することで、P型ベース領域を形成してもよい。

【0050】

上記のように、本実施の形態3の製造方法では、前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第2導電型でかつ半導体基体のバンドギャップ端から所定深さの不純物準位を形成する第1の不純物と、該第1の不純物よりもバンドギャップ端から浅い深さの不純物準位を形成する第2導電型の第2の不純物との、少なくとも2つ以上の不純物を用いて、半導体基体中にP型ベース領域32を形成する工程を少なくとも含む。これにより、第1の不純物を用いてベース領域の空間電荷濃度を設計し、また、第2の不純物を用いてベース領域のフリーキャリア濃度を設計することが可能である。そのため、実施の形態1の製造方法では、空間電荷濃度が決まると、第1の不純物が形成する不純物準位の深さによってフリーキャリア濃度も決まっていたが、本製造方法を用いれば、フリーキャリア濃度と空間電荷濃度を別々に設計できる。このため、実施の形態1の半導体装置に比べて、素子耐圧と電流増幅率のトレードオフをより改善することができる。

【0051】

また、本実施の形態3では、炭化珪素半導体中でバンドギャップ端から250meVよりも近い位置に第2の不純物の不純物準位を形成できる。このような不純物を用いると、フリーキャリア濃度と空間電荷濃度の差が小さいため、少量の不純物量で所望のフリーキャリアが得られるから、実施の形態1の炭化珪素半導体装置に比べてフリーキャリア濃度の設計が容易となる。

【0052】

さらに、本実施の形態3によれば、一般的な半導体不純物であるAl（アルミニ

ウム)を用いることができるため、製造工程が容易である。また、実際、Alが炭化珪素半導体中に形成する不純物準位はバレンスバンド端から約0.2eVであり、フリーキャリア濃度と空間電荷濃度の差が小さいため、少量の不純物量で所望のフリーキャリアが得られるから、フリーキャリア濃度の設計が容易である。

【0053】

実施の形態4

図7は本発明による炭化珪素半導体装置の実施の形態4の断面構造を示している。

実施の形態4は、パンチスルーストップ層を有するSiC高耐圧バイポーラトランジスタに適用した例を示す。

コレクタ領域となるN⁻型エピタキシャル領域20がN⁺型SiC基板10上に積層される。そして、エピタキシャル領域20の表層の所定領域にはP型ベース領域33が形成されている。このP型ベース領域33は、炭化珪素半導体中に浅い準位を形成するAl (アルミニウム)を用いて形成されている。

P型ベース領域33の表層の所定領域には、N⁺型エミッタ領域40とP⁺型ベースコンタクト領域50が形成され、N⁺型エミッタ領域40の下部にはP型パンチスルーストップ領域100が形成される。このP型パンチスルーストップ領域100は、炭化珪素半導体中に深い準位を形成するB (ほう素)を用いて形成されており、室温におけるフリーキャリア濃度は、P型パンチスルーストップ領域100に形成される空乏層中の空間電荷濃度より約二桁小さいという特徴を有している。

さらに、P型パンチスルーストップ領域100に伸びる空乏層中の空間電荷濃度は、エピタキシャル領域20に伸びる空乏層中の空間電荷濃度よりも、約一桁から二桁以上も大きくなるように設計されている。

N⁺型エミッタ領域40はエミッタ電極70に接続されている。また、P⁺型ベースコンタクト領域50はベース電極80に接続され、N⁺型SiC基板10の裏面にはコレクタ電極90が形成されている。なお、60は層間絶縁膜であり、表面や接合表面の保護、安定化の作用をする。

【0054】

図1に示した実施の形態1と本実施の形態4との相違は、N⁺型エミッタ領域40下

部のP型ベース領域33内に、P型パンチスルーストップ領域100を形成している点である。また、P型ベース領域33が、炭化珪素半導体中に浅い準位を形成する不純物、例えばアルミニウム、をイオン注入することで形成されている点である。

ここで、P型ベース領域33に伸びる空乏層中の空間電荷濃度は、P型パンチスルーストップ領域100に伸びる空乏層中の空間電荷濃度よりも小さくなるように形成される。このような構造にすると、P型パンチスルーストップ領域100とエミッタ領域40間でパンチスルーが起こるのを避けられるのはもちろん、P型パンチスルーストップ領域100に伸びる空乏層中の空間電荷濃度を高くしても、P型パンチスルーストップ領域100の角部への電界集中を、P型ベース領域33に伸張する空乏層により緩和できる。このため、実施の形態1ではP型ベース領域30に伸びる空乏層中の空間電荷濃度を高くすると、P型ベース領域30の角部へ電界が集中して素子が低耐圧となってしまうが、本実施の形態4ではその問題を解決できるため、より高耐圧の半導体装置を作製できる。

【0055】

このように、本実施の形態4では、半導体基体中に少なくとも、N⁻型エピタキシャル領域20から構成されるコレクタ領域と、該コレクタ領域上に形成されるP型ベース領域33と、該P型ベース領域33上に形成されるN⁺型エミッタ領域40と、N⁺型エミッタ領域40下部のP型ベース領域33内に形成されるP型パンチスルーストップ領域100とを有し、P型パンチスルーストップ領域100内に空乏層が形成されない時の、P型パンチスルーストップ領域100内のフリーキャリア濃度が、P型パンチスルーストップ領域100に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さいという構成になっている。このように、本実施の形態4では、N⁺型エミッタ領域40下にP型パンチスルーストップ領域100を形成でき、この領域の空間電荷濃度を大きくすることで、パンチスルーを防ぐことができるから、実施の形態1の半導体装置に対して、ベース領域の空間電荷濃度を小さくできる。

【0056】

また、P型ベース領域33の空間電荷濃度は、P型パンチスルーストップ領域100

の空間電荷濃度よりも小さくなっている。このように、ベース領域の空間電荷濃度を小さくしたことで、P型パンチスルーストップ領域100の角部への電界集中を、ベース領域に伸張する空乏層により緩和できるから、より高耐压の半導体装置を作製できる。

【0057】

また、P型パンチスルーストップ領域100内において、前記フリーキャリア濃度が前記空間電荷濃度よりも一桁以上小さくなっている。これにより、素子耐压と電流増幅率 hFE のトレードオフを改善した炭化珪素半導体装置が一般的な製造プロセスで容易に実現できる。

【0058】

次に、本実施の形態4における炭化珪素半導体装置の製造方法の一例を、図8(a)～(f)の断面図を用いて説明する。

まず、図8(a)の工程においては、 N^+ 型SiC基板10の上にコレクタ領域となる例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ の N^- 型SiCエピタキシャル領域20が形成されている。

【0059】

図8(b)の工程においては、マスク材120を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温でアルミニウムイオン134を $10 \text{ keV} \sim 3 \text{ MeV}$ の加速電圧で多段注入し、P型ベース領域33を形成する。総ドーズ量は例えば $1 \times 10^{12} \sim 1 \times 10^{15} \text{ cm}^{-2}$ である。

なお、P型ベース領域33をイオン注入により形成する際の不純物としては、炭化珪素半導体中に浅い準位を形成するP型不純物が望ましく、本実施の形態ではアルミニウムを用いた。もちろんB（ほう素）、Ga（ガリウム）、In（インジウム）、Tl（タリウム）等を用いてもよい。

【0060】

図8(c)の工程においては、マスク材121を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温でほう素イオン130を $10 \text{ keV} \sim 3 \text{ MeV}$ の加速電圧で多段注入し、P型パンチスルーストップ領域100を形成する。総ドーズ量は例えば $1 \times 10^{12} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、B（ほう素）の他にGa（ガリウム）、In（インジウム）、Tl（タリウム

)等をイオン注入してP型パンチスルーストップ領域100を形成してもよい。

【0061】

図8(d)の工程においては、同じくマスク材121を用いて、例えば100～1000℃の高温で燐イオン131を10keV～1MeVの加速電圧で多段注入し、N⁺型エミッタ領域40を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。もちろん、N型不純物としては燐の他に窒素、砒素などを用いてもよい。

【0062】

図8(e)の工程においては、マスク材122を用いて、例えば100～1000℃の高温でアルミニウムイオン132を10keV～1MeVの加速電圧で多段注入し、P⁺型ベースコンタクト領域50を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、P⁺型ベースコンタクト領域50を形成する不純物としては、炭化珪素半導体中に浅い準位を形成するP型不純物が望ましく、本実施の形態ではアルミニウムを用いた。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えばP⁺型ベースコンタクト領域50を形成するためのアルミニウムイオン注入を最初に行っても構わない。

【0063】

図8(f)の工程においては、例えば1000～1800℃での熱処理を行い、イオン注入した不純物を炭化珪素半導体中の格子位置に置換させる。

その後は特に図示しないが、層間膜60としてCVD酸化膜を堆積し、N⁺型エミッタ領域40及びP⁺型ベースコンタクト領域50上にコンタクトホールを開孔して、それぞれエミッタ電極70、ベース電極80を形成する。また、N⁺基板10の裏面にコレクタ電極90として金属膜を蒸着し、例えば600～1400℃で熱処理してオーミック電極として、図7に示す実施の形態4の炭化珪素半導体装置が完成する。

【0064】

本実施の形態4では上述したように、実施の形態1の半導体装置に対し、素子耐圧がより向上するという効果が得られる。さらに、エミッタ領域とパンチスルーストップ領域を、同一マスクを用いて作製できるため、2枚のマスクを用いる通

常の製造方法に比べ、プロセスが容易である。

また、エミッタ領域とパンチスルーストップ領域との位置ずれがなく両領域を形成できるため、パンチスルーを確実に避けることができる。

なお、本実施の形態4では、P型ベース領域33をAl（アルミニウム）をイオン注入して形成する例で説明したが、ドーピングガスとしては例えばTMA（Al（CH₃）₃）を用いたエピタキシャル成長によりP型ベース領域33を形成してもよい。

【0065】

上記のように、本実施の形態4の製造方法は、P型ベース領域33を形成する工程と、半導体基体上にマスク材121を堆積する工程と、P型ベース領域33の一部が開口するように前記マスク材121をパターニングする工程を含み、マスク材121越しにP型ベース領域33中に不純物として隣イオン131を導入することで、N⁺型エミッタ領域40を形成する工程と、同じくマスク材121を用いて、前記フリーキャリア濃度が前記空間電荷濃度よりも所定量だけ小さくなるような、第2導電型でかつ半導体基体のバンドギャップ端から所定深さの不純物準位を形成する第1の不純物としてほう素イオン130を、N⁺型エミッタ領域40下部のP型ベース領域33内に導入して、P型パンチスルーストップ領域100を形成する工程とを順不同に少なくとも含む。P型パンチスルーストップ領域100とN⁺型エミッタ領域40とはどちらを先に形成してもよい。この構成により、N⁺型エミッタ領域40とP型パンチスルーストップ領域100を同一マスク材121で作製できるから、2枚のマスクを用いてエミッタ領域とパンチスルーストップ領域を形成する通常の製造方法に比べて、半導体装置をより簡単に製造できる。また、エミッタ領域とパンチスルーストップ領域との位置ずれがなく、両領域を形成できるから、製造される半導体装置はパンチスルーの発生を確実に避けることができる。

【0066】

また、P型ベース領域33を、前記第1の不純物よりもバンドギャップ端から浅い深さの不純物準位を形成する第2導電型の第2の不純物を用いて形成する。これにより、第1の不純物を用いてパンチスルーストップ領域の空間電荷濃度を設計し、また、第2の不純物を用いてベース領域及びパンチスルーストップ領域のフリーキャリア濃度を設計することが可能である。そのため、このような構成をと

らない製造方法では、パンチスルーストップ領域内の空間電荷濃度が決まると、第1の不純物が形成する不純物準位の深さによってパンチスルーストップ領域内のフリーキャリア濃度も決まっていたが、本製造方法を用いれば、パンチスルーストップ領域内のフリーキャリア濃度と空間電荷濃度を別々に設計できる。このため、このような構成をとらない半導体装置に比べて、素子耐圧と電流増幅率のトレードオフをより改善することができる。

【0067】

なお、図8(b)の工程において、アルミニウムイオン134を注入し、P型ベース領域33を形成したが、実施の形態2のように、ベース領域を、半導体エピタキシャル成長によって形成することも可能である。このような構成によれば、ベース領域とコレクタ領域の接合界面を半導体エピタキシャル成長により形成できるから、ベース領域、およびベース領域とコレクタ領域との接合界面に存在する結晶欠陥が極めて少なく少なくできる。このため、不純物導入してベース領域を形成する半導体装置に対し、電流増幅率 hFE と素子耐圧をより向上させることができる。

【0068】

実施の形態5

図9は本発明による炭化珪素半導体装置の第5の実施の形態を示している。本実施の形態5は、SiC高耐圧サイリスタに適用した例を示す。構成上の図1との相違は、 N^+ 型SiC基板10ではなく、 P^+ 型SiC基板110を使用している点であり、いわゆるサイリスタといわれる半導体装置である。

本半導体装置の構成は、アノード領域となる P^+ 型SiC基板110上に N^- 型エピタキシャル領域20が積層される。そして、エピタキシャル領域20の表層の所定領域にはP型ベース領域30が形成される。

P型ベース領域30は、炭化珪素半導体中に深い準位（バレンスバンド端より約0.3eVの位置）を形成するB（ほう素）を用いて形成されており、室温におけるフリーキャリア濃度は、P型ベース領域30に形成される空乏層中の空間電荷濃度よりも約二桁小さいという特徴を有している。

なお、P型ベース領域30に伸びる空乏層中の空間電荷濃度は、エピタキシャル

領域20に伸びる空乏層中の空間電荷濃度よりも、約一桁から二桁以上も大きくなるように設計されている。

P型ベース領域30表層の所定領域には、N⁺型カソード（エミッタ）領域40とP⁺型ゲート（ベースコンタクト）領域50が形成され、N⁺型カソード領域40はカソード（エミッタ）電極70に接続される。また、P⁺型ゲート領域50はゲート（ベース）電極80に接続され、P⁺型SiC基板110の裏面にはアノード電極90が形成されている。なお、60は層間絶縁膜であり、表面や接合表面の保護、安定化の作用をする。

【0069】

次に、本実施の形態5における炭化珪素半導体装置の製造方法の一例を、図10(a)～(e)の断面図を用いて説明する。

まず、図10(a)の工程においては、アノード領域となるP⁺型SiC基板110の上に例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ のN⁻型SiCエピタキシャル領域20が形成されている。

【0070】

図10(b)の工程においては、マスク材120を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温でほう素イオン130を $10 \text{ keV} \sim 3 \text{ MeV}$ の加速電圧で多段注入し、P型ベース領域30を形成する。総ドーズ量は例えば $1 \times 10^{12} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

【0071】

図10(c)の工程においては、マスク材121を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温で燐イオン131を $10 \text{ keV} \sim 1 \text{ MeV}$ の加速電圧で多段注入し、N⁺型カソード領域40を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。もちろん、N型不純物としては燐の他に窒素、砒素などを用いてもよい。

【0072】

図10(d)の工程においては、マスク材122を用いて、例えば $100 \sim 1000^\circ\text{C}$ の高温でアルミニウムイオン132を $10 \text{ keV} \sim 1 \text{ MeV}$ の加速電圧で多段注入し、P⁺型ゲート領域50を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、P⁺型ゲート領域50を形成する不純物としては、炭化珪素半導体中に浅い準位を形成するP型不純物が望ましく、本実施の形態ではアルミニウムを用い

た。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えば N^+ 型カソード領域40を形成するための燐イオン注入を最初に行っても構わない。

図10(e)の工程においては、例えば1000～1800℃での熱処理を行い、イオン注入した不純物を炭化珪素半導体中の格子位置に置換させる。

その後は特に図示しないが、層間膜60としてCVD酸化膜を堆積し、 N^+ 型カソード領域40及び P^+ 型ゲート領域50上にコンタクトホールを開孔して、それぞれカソード電極70、ゲート電極80を形成する。また、 P^+ 基板110の裏面にアノード電極90として金属膜を蒸着し、例えば600～1400℃で熱処理してオーミック電極として、図9に示す実施の形態5の炭化珪素半導体装置が完成する。

【0073】

次に、本実施の形態5の半導体装置の動作について説明する。

カソード電極70に正、アノード電極90に負の電圧を印加したとき、 N^+ 型カソード領域40とP型ベース領域30のPN接合、 N^- 型エピタキシャル領域20と P^+ 型SiC基板110のPN接合はともに逆バイアスとなり、ゲート電圧に無関係で電流は流れない。

また、アノード電極90に正、カソード電極70に負の電圧を印加すると、ゲート電圧が零または負であればやはり素子に電流は流れない。この時、エピタキシャル領域20側にはアノード電圧 V_a に応じて空乏層が伸びるが、P型ベース領域30側にはほとんど空乏層が伸びない。なぜなら、P型ベース領域30に伸びる空乏層中の空間電荷濃度が、エピタキシャル領域20に伸びる空乏層中の空間電荷濃度よりも、約一桁から二桁以上も大きくなるように設計されているためである。

それゆえ、P型ベース領域30内に伸びる空乏層が N^+ カソード領域40に達する、所謂パンチスルー現象が先に起こるということではなく、アノード電圧 V_a が降伏電圧 V_b になって初めてアノード電極90からカソード電極70へと急激に電流が流れ始める。

一方で、ゲート電極80に正電圧を印加すると、ゲート電極80からP型ベース領域30へと正孔が注入される。それと同時に、 N^+ 型カソード領域40からP型ベース

領域30へと電子が大量に移動してくる。

ここで、P型ベース領域30内のフリーキャリア濃度が大きいと、カソード領域40から注入される多くの電子がP型ベース領域30中で正孔と結びつき、エピタキシャル領域20まで達する電子が少なくなる。

ところが、本半導体装置では、前述したようにP型ベース領域30がB（ほう素）を用いて形成されており、室温におけるフリーキャリア濃度は、P型ベース領域30に形成される空乏層中の空間電荷濃度よりも約二桁小さいという特徴を有している。このため、P型ベース領域30に伸びる空乏層中の空間電荷濃度をパンチスルーが起こらないように大きくしても、そのフリーキャリア濃度は室温で約二桁も小さいのである。

その結果、P型ベース領域30へと移動した電子はほとんどがN⁻型エピタキシャル領域20に達する。これらの電子はアノード電圧による電界でエピタキシャル領域20に吸収され、さらにP⁺型SiC基板110にコレクトされる。それと同時に、P⁺型SiC基板110から正孔がエピタキシャル領域20に注入され、さらに、P型ベース領域30にコレクトされる。そして、正孔は再びP型ベース領域30からカソード領域40へと注入され、サイリスタはオン状態になり、低抵抗の伝導体になる。

特に本実施の形態5では、炭化珪素半導体中に深い準位を形成するB（ほう素）を用いてP型ベース領域30を形成することにより、P型ベース領域30内のフリーキャリア濃度を小さく形成できるため、ベースで再結合するキャリアを減らせ、従来の素子より低オン抵抗のサイリスタ素子を提供可能である。

【0074】

実施の形態6

図11は本発明によるシリコン半導体装置の実施の形態6の断面構造を示している。本実施の形態6は、Tl（タリウム）でP型ベース領域を形成したSi高耐圧バイポーラトランジスタに適用した例を示す。

構成上の図1との相違は、SiC基板10ではなく、Si（シリコン）基板170を使用している点であり、本発明を例えばSi半導体に適用したときの例を説明する。なお、その他の構成、動作は、図1の実施の形態1で説明したSiC高耐圧バイポーラトランジスタと同様である。

【0075】

次に、本実施の形態6におけるシリコン半導体装置の製造方法の一例を、図12(a)～(e)の断面図を用いて説明する。

まず、図12(a)の工程においては、 N^+ 型Si基板170の上にコレクタ領域となる例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1 \sim 100 \mu\text{m}$ の N^- 型Siエピタキシャル領域180が形成されている。

【0076】

図12(b)の工程においては、マスク材123を用いて、例えばタリウムイオン135を $10 \text{ k} \sim 500 \text{ keV}$ の加速電圧で注入し、P型ベース領域190を形成する。総ドーズ量は例えば $1 \times 10^{12} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

なお、本実施の形態6では、タリウムをイオン注入してP型ベース領域190を作製する例で説明したが、タリウムの代わりに、In（インジウム）をイオン注入することでP型ベース領域190を形成してもよい。

また、これらの不純物をエピタキシャル成長層に導入できるようなドーピングガスを用いてエピタキシャル成長を行ってP型ベース領域190を形成してもよい。

【0077】

図12(c)の工程においては、マスク材124を用いて、例えば燐イオン136を $10 \text{ k} \sim 500 \text{ keV}$ の加速電圧で注入し、 N^+ 型エミッタ領域210を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。もちろん、 N 型不純物としては燐の他に砒素などを用いてもよい。

【0078】

図12(d)の工程においては、マスク材125を用いて、例えばほう素イオン137を $10 \text{ k} \sim 500 \text{ keV}$ の加速電圧で注入し、 P^+ 型ベースコンタクト領域200を形成する。総ドーズ量は例えば $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ である。

また、各領域を形成するイオン注入を行う順番についてはこの限りではなく、例えば N^+ 型エミッタ領域210を形成するための燐イオン注入を最初に行っても構わない。

【0079】

図12(e)の工程においては、例えば 1000°C での熱処理を行い、イオン注入した

不純物を所望の深さまで拡散させる。

その後は特に図示しないが、層間膜220としてCVD酸化膜を堆積し、N⁺型エミッタ領域210及びP⁺型ベースコンタクト領域200上にコンタクトホールを開孔して、それぞれエミッタ電極240、ベース電極230を形成する。また、N⁺基板170の裏面にコレクタ電極250として金属膜を蒸着し、図11に示す実施の形態6のシリコン半導体装置が完成する。

【 0 0 8 0 】

このように、シリコン半導体を用いて本発明による半導体装置を作製することで、従来の半導体装置で問題となっていた素子耐圧と電流増幅率hFEのトレードオフを改善した半導体装置を、既存のシリコン半導体プロセスで容易に作製できる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態1を示す断面図

【図 2】

本発明の実施の形態1の製造工程を示す断面図

【図 3】

本発明の実施の形態2を示す断面図

【図 4】

本発明の実施の形態2の製造工程を示す断面図

【図 5】

本発明の実施の形態3を示す断面図

【図 6】

本発明の実施の形態3の製造工程を示す断面図

【図 7】

本発明の実施の形態4を示す断面図

【図 8】

本発明の実施の形態4の製造工程を示す断面図

【図 9】

本発明の実施の形態5を示す断面図

【図 1 0】

本発明の実施の形態5の製造工程を示す断面図

【図 1 1】

本発明の実施の形態6を示す断面図

【図 1 2】

本発明の第6の実施の形態の製造工程を示す断面図

【符号の説明】

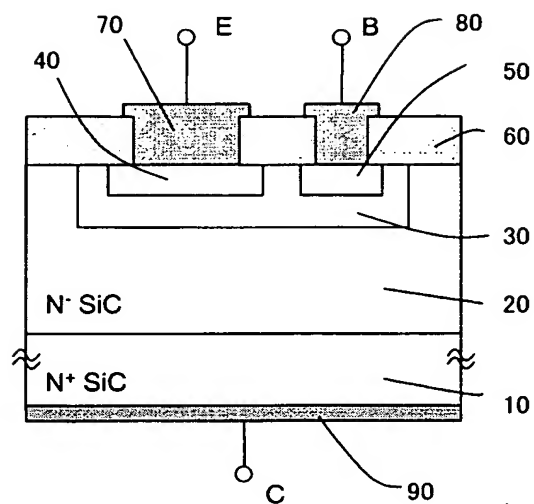
- 10・・・N⁺型SiC基板
- 20・・・N⁻型SiCエピタキシャル領域
- 30、31、32、33・・・P型ベース領域
- 40・・・N⁺型エミッタ領域
- 50・・・P⁺型ベースコンタクト領域
- 60・・・層間絶縁膜
- 70・・・エミッタ電極
- 80・・・ベース電極
- 90・・・コレクタ電極
- 100・・・P型パンチスルーストップ領域
- 110・・・P⁺型SiC基板
- 120、121、122、123、124、125・・・マスク材
- 130・・・ほう素イオン
- 131・・・燐イオン
- 132、133、134・・・アルミニウムイオン
- 135・・・タリウムイオン
- 136・・・燐イオン
- 137・・・ほう素イオン
- 140・・・N⁺型エミッタ領域
- 150・・・P⁺型ベースコンタクト領域
- 160・・・P型ベース領域

- 170...N⁺型Si基板
- 180...N⁻型Siエピタキシャル領域
- 190...P型ベース領域
- 200...P⁺型ベースコンタクト領域
- 210...N⁺型エミッタ領域
- 220...層間絶縁膜
- 230...ベース電極
- 240...エミッタ電極
- 250...コレクタ電極

【書類名】 図面

【図 1】

[図1](実施の形態1)

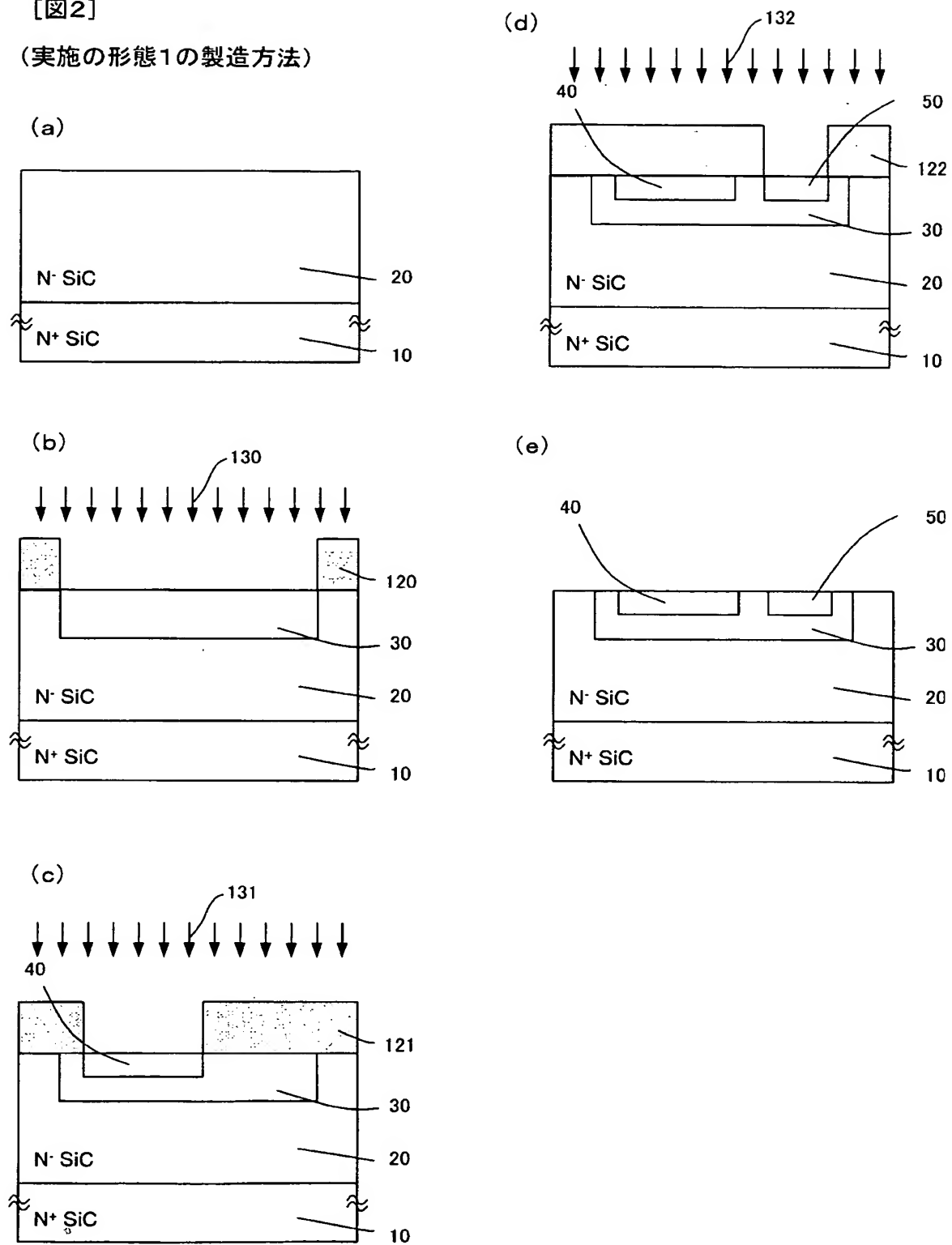


- 10...N⁺型 SiC 基板
- 20...N⁻型 SiC エピタキシャル領域
- 30...P型ベース領域
- 40...N⁺型エミッタ領域
- 50...P⁺型ベースコンタクト領域
- 60...層間絶縁膜
- 70...エミッタ電極
- 80...ベース電極
- 90...コレクタ電極

【図 2】

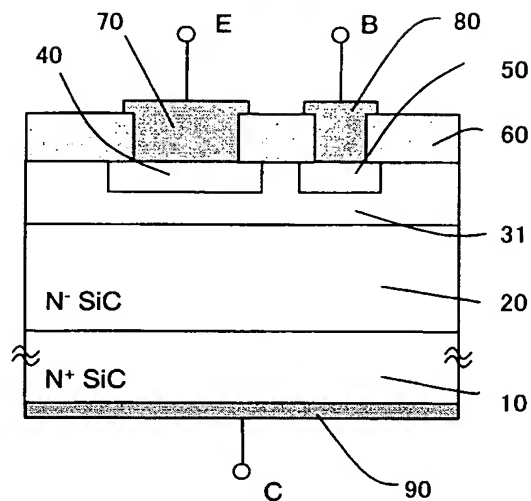
【図2】

(実施の形態1の製造方法)



【図 3】

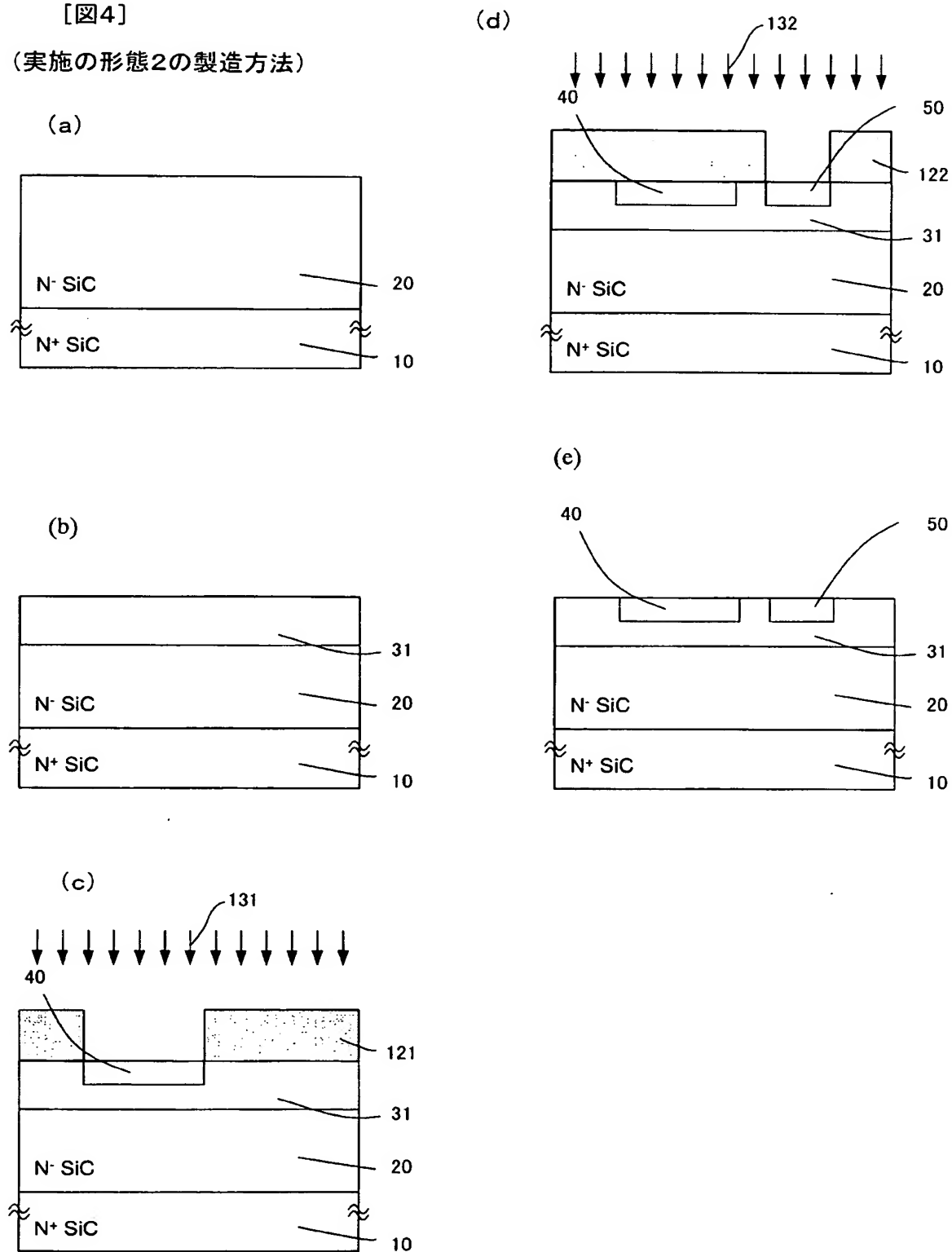
[図3](実施の形態2)



【図 4】

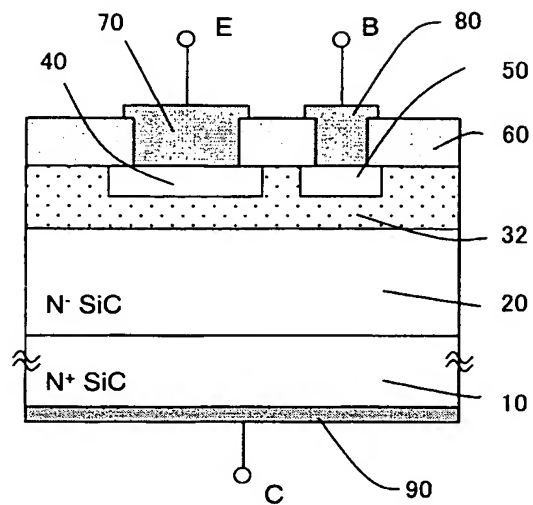
【図4】

(実施の形態2の製造方法)



【図 5】

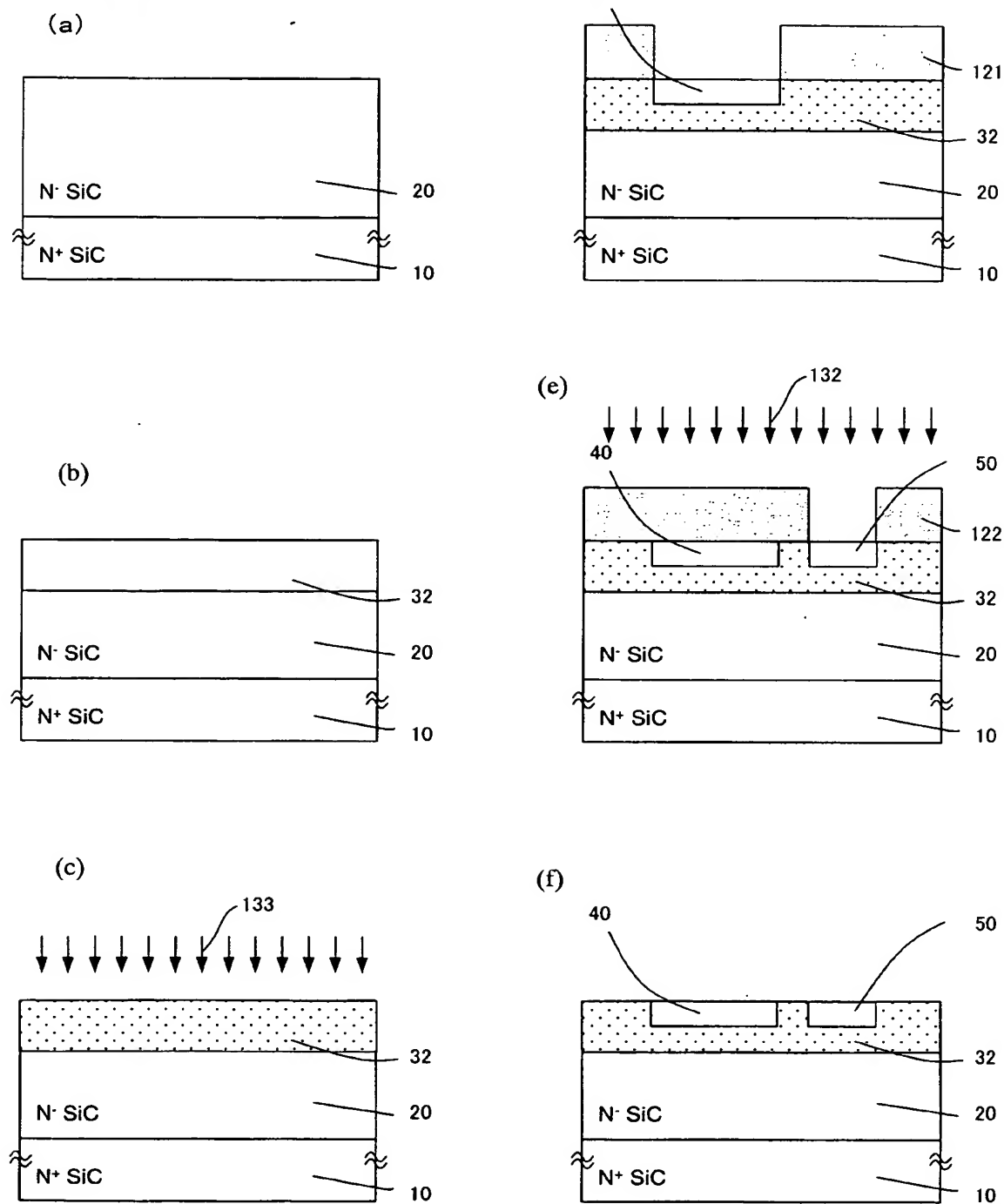
【図5】(実施の形態3)



【図 6】

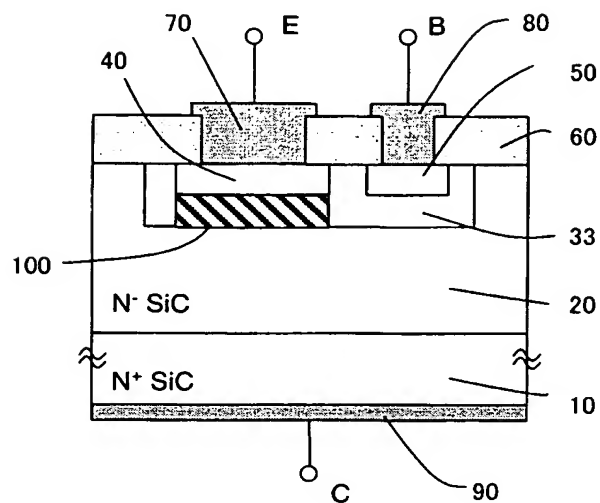
[図6]

(実施の形態3の製造方法)



【図 7】

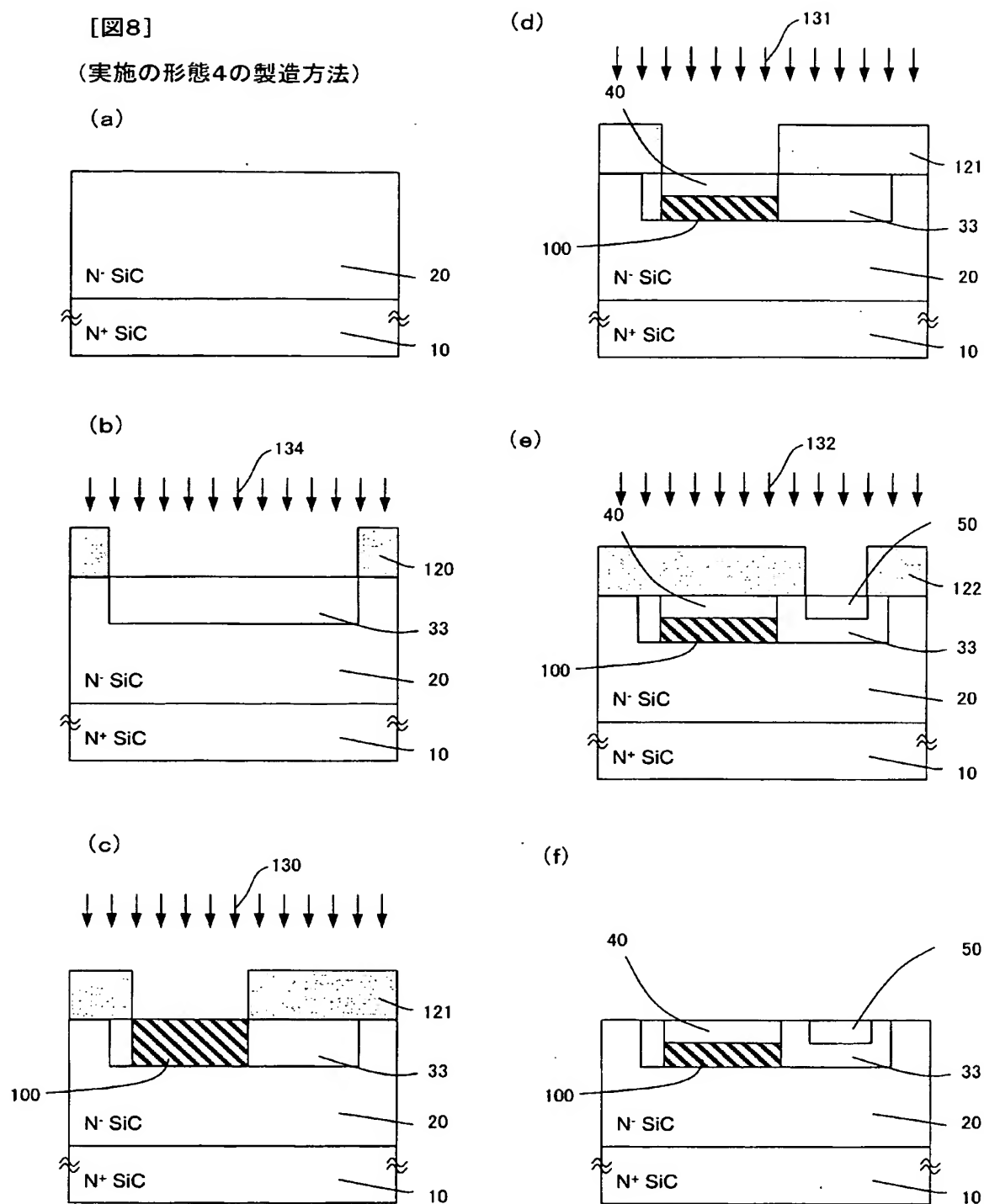
〔図7〕(実施の形態4)



【図 8】

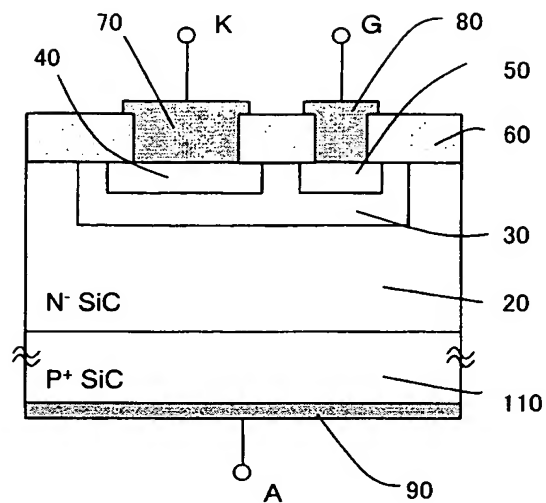
【図 8】

(実施の形態 4 の製造方法)



【図 9】

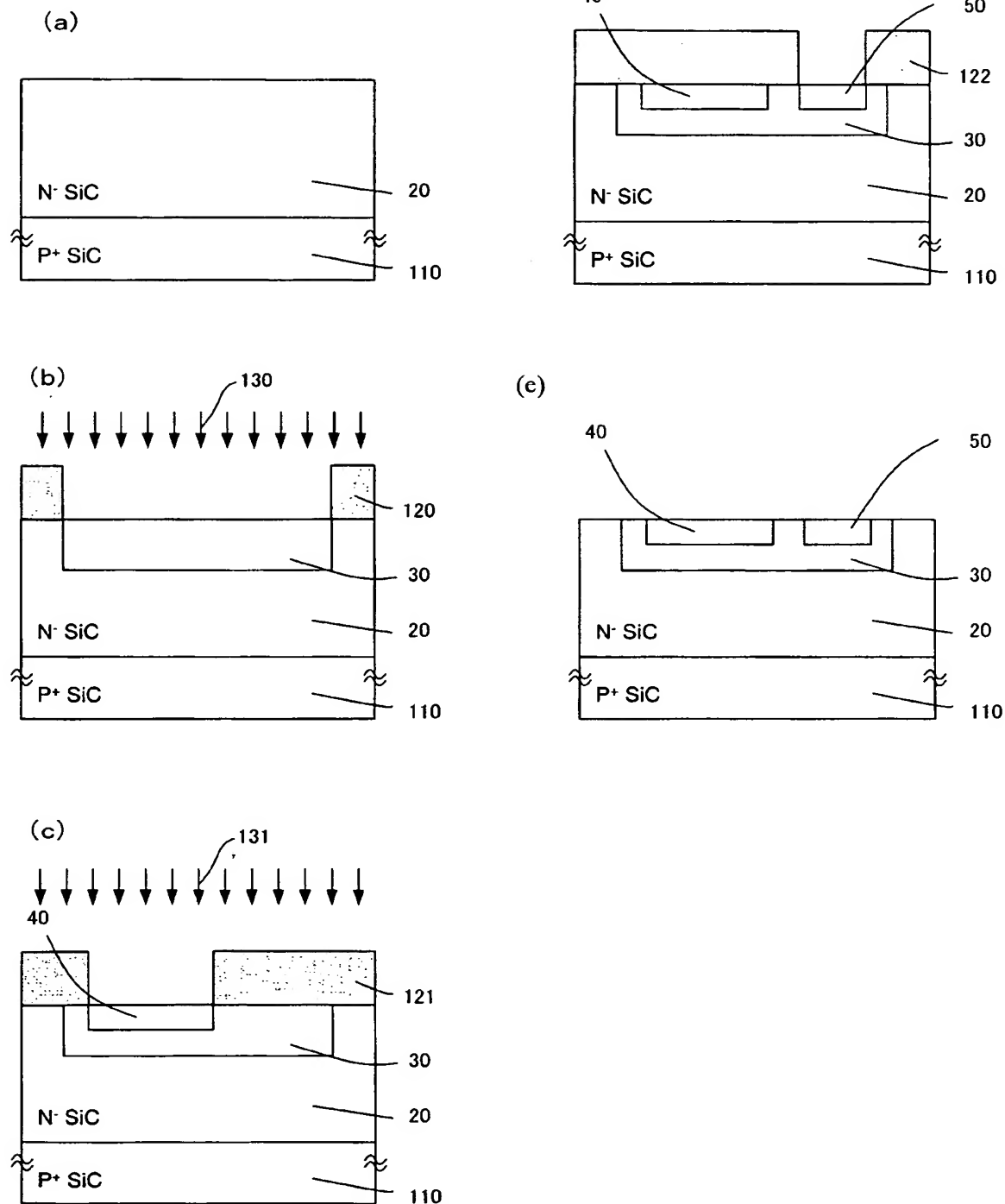
[図9](実施の形態5)



【図 10】

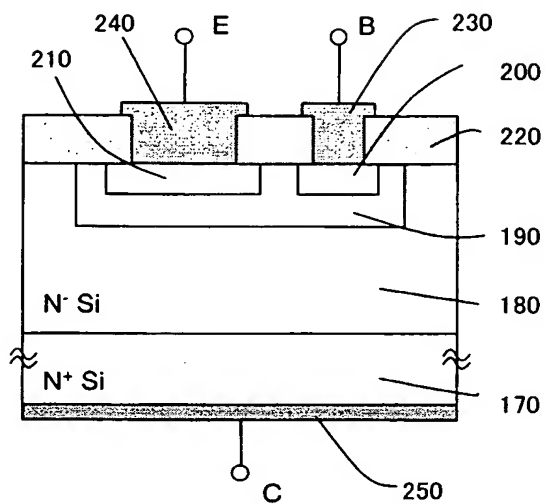
[図10]

(実施の形態5の製造方法)



【図 11】

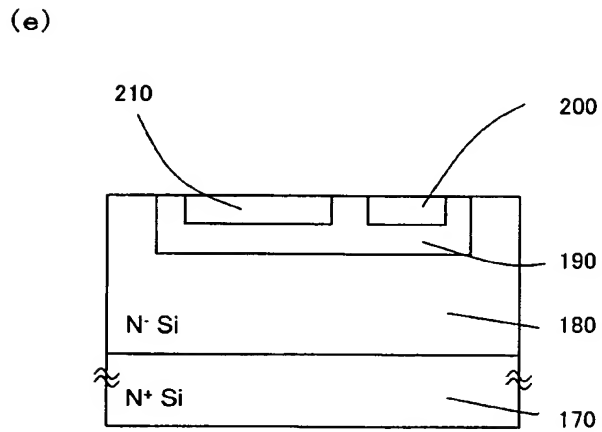
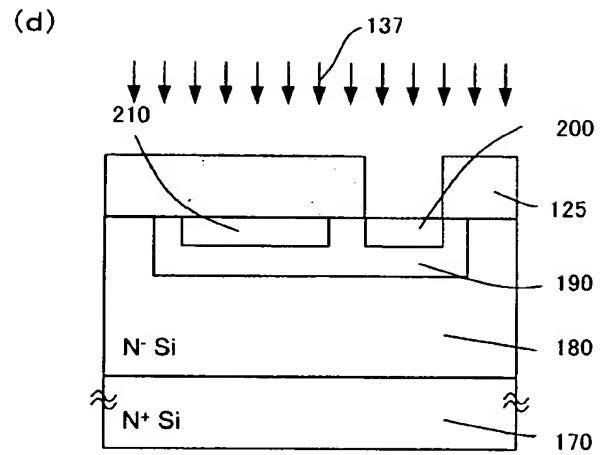
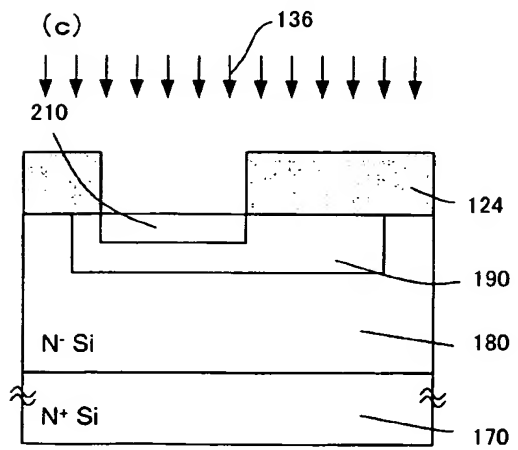
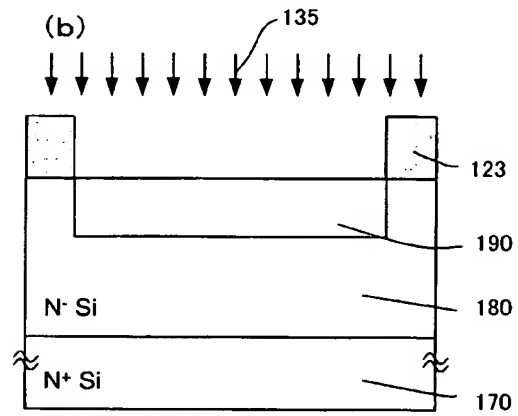
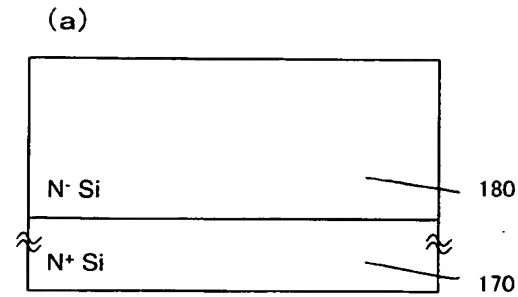
[図11](実施の形態6)



【図 12】

【図12】

(実施の形態6の製造方法)



【書類名】 要約書

【要約】

【課題】 高い電流増幅率 hFE を有する高耐圧半導体装置を提供する。

【解決手段】 N^- 型エピタキシャル領域20から構成されるコレクタ領域と、該コレクタ領域上に形成されるP型ベース領域30と、該P型ベース領域30上に形成される N^+ 型エミッタ領域40とを有し、P型ベース領域30内に空乏層が形成されない時の、P型ベース領域30内のフリーキャリア濃度が、P型ベース領域30に空乏層が形成される時の、該空乏層内の空間電荷濃度よりも小さい構成。

【選択図】 図 1

特願 2003-036364

出願人履歴情報

識別番号

[000003997]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

神奈川県横浜市神奈川区宝町2番地

氏 名

日産自動車株式会社